

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-282734

(43)Date of publication of application : 03.10.2003

(51)Int.Cl.

H01L 21/8242

H01L 27/108

(21)Application number : 2002-087512

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 27.03.2002

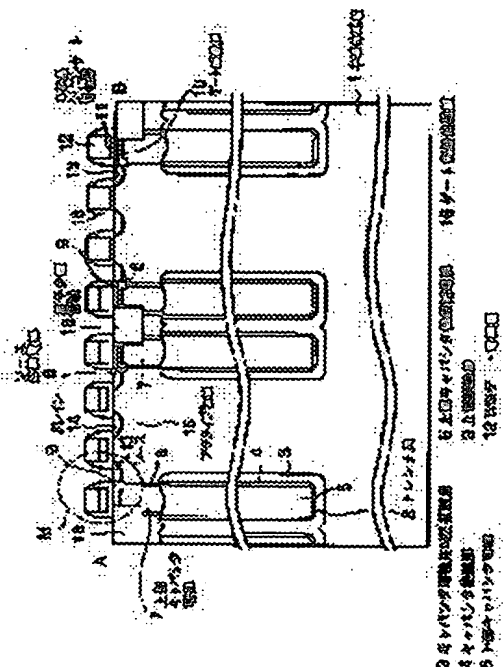
(72)Inventor : ANDO MITSUTOSHI

## (54) SEMICONDUCTOR MEMORY DEVICE AND ITS MANUFACTURING METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory device having a trench capacitor for reducing the resistance of an embedded strap part and to provide a method for manufacturing the same.

**SOLUTION:** The method for manufacturing the semiconductor memory device comprises steps of: providing a source connecting electrode 8 for connecting trench capacitors 3, 4, 5, 6 and 7 provided in trench grooves 2 in a semiconductor substrate 1 to data transfer transistors 11, 12, 13, 14 and 16 provided on the substrate, and transferring the data of the capacitors via the data transfer transistors. Its contact area is enlarged by making rugged the connecting surface of the electrode 8 and a source 13 of the transfer transistor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-282734

(P2003-282734A)

(43) 公開日 平成15年10月3日 (2003.10.3)

(51) Int.Cl.

識別記号

F I

テーマト\* (参考)

H 0 1 L 21/8242  
27/108

H 0 1 L 27/10

6 2 5 A 5 F 0 8 3

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2002-87512(P2002-87512)

(22) 出願日 平成14年3月27日 (2002.3.27)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 安西 光俊

神奈川県川崎市幸区小向京芝町1番地 株式会社京芝マイクロエレクトロニクスセンター内

(74) 代理人 100083161

弁理士 外川 英明

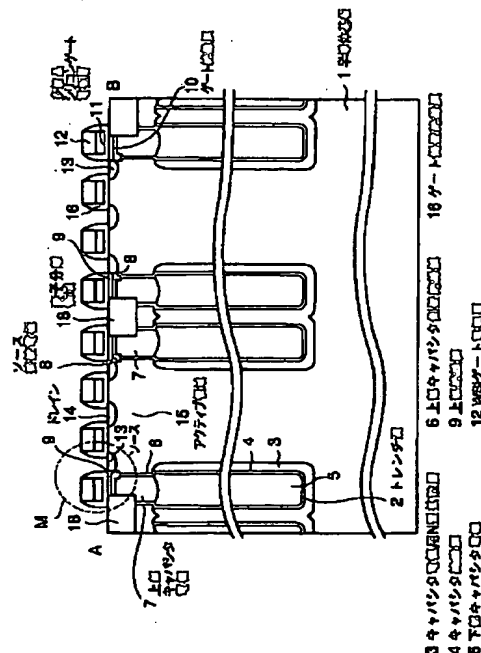
Fターム(参考) 5F083 AD17 GA03 MA01 NA01

(54) 【発明の名称】 半導体記憶装置及びその製造方法

(57) 【要約】

【課題】 埋め込みストラップ部分の抵抗を低減するトレンチキャパシタを有する半導体記憶装置及びその製造方法を提供する。

【解決手段】 半導体基板1中のトレンチ溝2内に設けられたトレンチキャパシタ3、4、5、6、7と、半導体基板上に設けられたデータ転送トランジスタ11、12、13、14、16との間を接続するソース接続電極8が設けられて、トレンチキャパシタのデータがデータ転送トランジスタを介して行われる。このソース接続電極8のデータ転送トランジスタのソース13との接続面に凹凸が設けられていることで、その接触面積が拡大された半導体記憶装置である。



## 【特許請求の範囲】

## 【請求項1】半導体基板と、

この半導体基板の上表面内に設けられた素子分離領域と、

前記半導体基板中の素子分離領域以外の上表面内に設けられたソース、ドレイン、この半導体基板上に設けられたゲート電極を有するデータ転送トランジスタと、  
前記半導体基板中の素子分離領域以外の上表面内に設けられたトレンチ溝と、

このトレンチ溝下方の周囲の半導体基板中に設けられた 10 キャパシタ電極用拡散層と、

このキャパシタ電極用拡散層に接し、前記トレンチ溝下部側面に設けられたキャパシタ絶縁膜と、

このキャパシタ絶縁膜を覆うように前記トレンチ溝内に設けられた下部電極と、

前記トレンチ溝内上部の側面に設けられた上部キャパシタ側壁絶縁膜と、

前記下部電極上の前記上部キャパシタ側壁絶縁膜内の前記トレンチ溝内に設けられた上部キャパシタ電極と、

この上部キャパシタ電極及び前記上部キャパシタ側壁絶縁膜を介して、上部キャパシタ電極に対向する前記トレンチ溝の前記ソースとの接続面に凹部分及び凸部分があり、その凸部分は前記上部キャパシタ側壁絶縁膜より前記トレンチ溝外側方向に突出し、前記上部キャパシタ側壁絶縁膜上での厚さが他の部分よりも大きいソース接続電極とを有することを特徴とする半導体記憶装置。

【請求項2】半導体基板内に設けられ、電荷を保持するトレンチ型キャパシタと、

このトレンチ型キャパシタに電荷保持用電圧を供給するデータ転送トランジスタと、

このデータ転送トランジスタのソースと前記トレンチ型キャパシタとの間に接続され、前記ソース側に対して突出した突出部分及び突出されていない非突出部分が設けられた埋め込みストラップとを有することを特徴とする半導体記憶装置。

【請求項3】前記ソース接続電極の凸部分の深さは、前記ソース接続電極が接続されているソースの深さより浅いことを特徴とする請求項1記載の半導体記憶装置。

【請求項4】前記埋め込みストラップの突出部分の深さは、前記埋め込みストラップが接続されているソースの深さより浅いことを特徴とする請求項2記載の半導体記憶装置。

【請求項5】前記ソース接続電極の凸部分は複数設けられていることを特徴とする請求項1記載の半導体記憶装置。

【請求項6】前記ソース接続電極は、前記素子分離領域に接する外縁部において、前記素子分離領域に対して突出している凸部分と突出していない凹部分とをさらに有することを特徴とする請求項1記載の半導体記憶装置。

【請求項7】半導体基板中にトレンチ溝を形成し、この 50

トレンチ溝内に下部側面にキャパシタ絶縁膜を形成し、このキャパシタ絶縁膜の内側のトレンチ溝内にトレンチ下部電極を形成し、前記トレンチ溝内上部側面にトレンチ上部キャパシタ側壁絶縁膜を形成し、このトレンチ上部キャパシタ側壁絶縁膜の内側のトレンチ溝内に上部キャパシタ電極を形成する工程と、

前記半導体基板中の前記キャパシタ絶縁膜周囲にキャパシタ電極用拡散層を形成する工程と、

前記上部キャパシタ電極上から前記トレンチ溝外側の前記半導体基板上にまたがる開口を有するフォトレジストを前記半導体基板上方に形成する工程と、

前記フォトレジストを用いて、前記フォトレジストの開口部に対してエッチングを行ない前記半導体基板、前記上部キャパシタ電極、前記トレンチ上部キャパシタ側壁絶縁膜内に突出部開口を形成する工程と、

前記フォトレジストを除去し、前記突出部開口及び前記上部キャパシタ電極上に導電層を形成して、ソース接続電極を形成する工程と、

素子形成予定領域以外の前記半導体基板表面付近をエッチングして素子分離領域形成用溝を形成する工程と、

前記素子分離領域形成用溝に絶縁膜を埋め込む工程と、

前記素子形成予定領域上の前記半導体基板上にゲート電極を形成し、前記半導体基板中にソース及びドレインを形成して、このソースを前記ソース接続電極に接続させ、データ転送トランジスタを形成する工程とを具備することを特徴とする半導体記憶装置の製造方法。

【請求項8】前記フォトレジストを前記半導体基板上方に形成する工程において、前記フォトレジストに設けられた開口は複数個であり、

30 前記突出部開口を形成する工程において、形成される突出部開口の個数は前記フォトレジストの開口の個数よりも多く、その増加分の突出部開口はサイドロブ効果によって形成されていることを特徴とする請求項7記載の半導体記憶装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に係り、特にトレンチ型キャパシタを有する微細な半導体記憶装置及びその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体集積回路は高集積密度化が進み、特にDRAMにおいては、ギガビットレベルの高集積密度が要求されている。このような半導体集積回路の高集積密度化に伴い、トレンチキャパシタやその周辺の素子分離領域の微細化が必須技術となってきた。

【0003】図4、22を用いて従来の半導体記憶装置の構造を説明する。従来の半導体記憶装置の断面構造を図22における“C-D”線上での概略構造を示す断面図である図4を用いて説明する。半導体基板1中には、トレンチ溝2が形成されている。このトレンチ溝2の下

部周囲の半導体基板1内には、キャパシタ電極用N型拡散層3が設けられている。このトレンチ溝2の下部内の側壁には、シリコン酸化膜がキャパシタ電極用N型拡散層3に接して設けられている。さらにこのシリコン酸化膜の内側にシリコン窒化膜が形成されて、あわせてキャパシタ絶縁膜4として機能する。

【0004】さらに、トレンチ溝2の下部内のキャパシタ絶縁膜4内には、非晶質シリコンが充填された下部キャパシタ電極5が形成されている。下部キャパシタ電極5上のトレンチ溝2側壁には、上部キャパシタ側壁絶縁膜6が設けられている。

【0005】さらに、上部キャパシタ側壁絶縁膜6内のトレンチ溝2内には、非晶質シリコンが充填されて、上部キャパシタ電極7が設けられて、下部キャパシタ電極5に接続されている。上部キャパシタ電極7上には、ポリシリコンからなるソース接続電極8が形成されている。このソース接続電極8は、上部キャパシタ側壁絶縁膜6上まで形成されている。こうして、キャパシタ電極用N型拡散層3、キャパシタ絶縁膜4、下部キャパシタ電極5、上部キャパシタ側壁絶縁膜6、上部キャパシタ電極7、ソース接続電極8、上部絶縁膜9からなるトレンチキャパシタが形成されている。

【0006】このソース接続電極8上には上部絶縁膜9が形成され、この上部絶縁膜9上には、ゲート絶縁膜10を介して、例えば多結晶シリコンゲート電極層11及びWSiゲート電極層12が形成されている。この多結晶シリコンゲート電極層11及びWSiゲート電極層12下方の半導体基板1の上面付近には、ソース接続電極8に接続されるソース13が形成されている。また、ソース13が形成される領域に多結晶シリコンゲート電極層11及びWSiゲート電極層12下方の半導体基板1の上面付近にドレイン14が形成されている。このソース13、ドレイン14は、半導体基板1の上面付近のアクティブ領域15内に設けられている。多結晶シリコンゲート電極層11及びWSiゲート電極層12の側面には、ゲート側壁絶縁膜16が設けられている。

【0007】さらに、アクティブ領域15上には、連続して複数の多結晶シリコンゲート電極層11、WSiゲート電極層12、及びゲート側壁絶縁膜16が設けられている。トレンチキャパシタは、一定間隔を隔てて半導体基板1中に形成されていて、隣接して形成された1対のトレンチキャパシタ間のアクティブ領域15中には、素子分離領域18が設けられている。各トレンチキャパシタ上には、多結晶シリコンゲート電極層11、WSiゲート電極層12、及びゲート側壁絶縁膜16が一つずつ設けられている。隣接して形成された1対のトレンチキャパシタ間のアクティブ領域15中には、素子分離領域18が形成されている。さらに離間して配置された2つのトレンチキャパシタ間には、多結晶シリコンゲート電極層11、WSiゲート電極層12、ゲート側壁絶縁

膜16、ソース13、ドレイン14からなるデータ転送トランジスタが2つ形成されている。

【0008】図22の上面図から分かるように、従来技術では、離間して配置されたトレンチ溝2間には、素子分離領域18で囲まれてアクティブ領域15が設けられている。アクティブ領域15は、その端部が半楕円である長方形となっていて、トレンチ溝2内にもアクティブ領域15以外は素子分離領域18が形成されている。トレンチ型キャパシタのトレンチ溝2は長方形に近い楕円形状に形成される為、上面図のように上から見たソース領域との接合面50の構造は楕円の一部となっており、ほぼ直線か又は直線に近い滑らかな弧を描き、接合抵抗はこの部分の長さや深さ方向と掛け合わせた面積に依存する。ここで、図22においては、データ転送トランジスタは図示を省略している。

【0009】次に、従来の半導体記憶装置の製造方法を図4、図6、図22、図23、図24を用いて説明する。まず、図6(A)に断面図として示されるように半導体基板のメモリセルエリアに四角形のガラスマスクのパターンをリソグラフィにより半導体基板に転写し、ドライエッチングによりトレンチ型キャパシタ用開口を形成し、そのトレンチ下部側壁に例えばON膜によるキャパシタ部分を形成し、その開口の内側部分を例えばAs<sup>+</sup>を添加した非晶質シリコンで充填することにより電極を形成し、半導体基板表面から少し下の部分に該キャパシタ部分と半導体基板表面近傍のアクティブ領域のソース部分とを分離する例えばシリコン酸化膜による絶縁膜を形成し、その内側を更に別のAs<sup>+</sup>を添加した非晶質シリコンで充填して形成する。この部分の形成の際、適宜エッチングや不純物の熱拡散を行う。この状態における上面形状は図6(B)に示されるように半導体基板1中にトレンチ溝2が形成され、その側面に上部キャパシタ側壁絶縁膜6が形成され、その内部に上部キャパシタ電極が形成された状態となっている。

【0010】次に、図23(A)に断面図として示されるように、例えば多結晶シリコンを積層したあと、ケミカルドライエッチング等で該多結晶シリコンを半導体基板表面位置までエッチングして、ソース接続電極8を形成する。このトレンチ溝の上面図は図23(B)に示される通りであり、前の工程における上面図である図6(B)の状態と変わらない。なお、図23(B)の“K-L”線以上の断面が図23(A)の断面図である。

【0011】次に、図24に示されるように、リソグラフィ技術を用い、半導体基板1に素子分離を行うための浅い溝(素子分離溝35)を加工し、アクティブ領域15を形成する。

【0012】この後、図4及び図22に示されるように素子分離溝35に例えば酸化膜などの絶縁体を積層後、半導体基板1の上表面位置までエッチングし、素子分離領域18を形成し、データ転送トランジスタのゲートの

加工並びに該トランジスタのソース13、ドレイン14を不純物注入並びに熱拡散により形成する。こうして、トレンチ型キャパシタの上部電極7とデータ転送トランジスタのソース13を接続する。この接続面50で、接合抵抗が生ずることとなる。

【0013】

【発明が解決しようとする課題】以上のような従来の半導体記憶装置及びその製造方法では、以下の課題が生じる。微細化を進めていくにつれ、トレンチ型キャパシタ径、トランジスタのソース領域サイズが共に縮小されていく為、ソース領域との接合部がほぼ直線か又は直線に近い滑らかな弧構造であるために接合部の長さが小さくなり、結果として接合抵抗も上昇してしまう。メモリセルのキャパシタ容量Cと接合抵抗Rとの積で時定数が決まり、接合抵抗が大きくなると時定数が増大し、メモリセルの書き込み/読み出し特性が劣化することになる。また、素子分離によるアクティブ領域形成の為のリソグラフィ時に、アクティブ領域がトレンチキャパシタに対し、ずれて形成されると、この接合面積が小さくなり接合抵抗は更に上昇することになる。すなわち、アクティブ領域がトレンチ領域に対してその長手方向にずれることで、アクティブ領域とトレンチ領域との接続領域の重複部分が小さくなり、接合抵抗が増大する。

【0014】本発明の目的は以上のような従来技術の課題を解決することにある。特に、本発明の目的は、埋め込みストラップ部分の抵抗を低減するトレンチキャパシタを有する半導体記憶装置及びその製造方法を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するために、本発明の特徴は、半導体基板と、この半導体基板の上表面内に設けられた素子分離領域と、前記半導体基板中の素子分離領域以外の上表面内に設けられたソース、ドレインと、この半導体基板上に設けられたゲート電極を有するデータ転送トランジスタと、前記半導体基板中の素子分離領域以外の上表面内に設けられたトレンチ溝と、このトレンチ溝下方の周囲の半導体基板中に設けられたキャパシタ電極用拡散層と、このキャパシタ電極用拡散層に接し、前記トレンチ溝下部側面に設けられたキャパシタ絶縁膜と、このキャパシタ絶縁膜内の前記トレンチ溝内下部に設けられた下部電極と、前記トレンチ溝内上部の側面に設けられた上部キャパシタ側壁絶縁膜と、前記下部電極上の前記上部キャパシタ側壁絶縁膜内の前記トレンチ溝内に設けられた上部キャパシタ電極と、この上部キャパシタ電極及び前記上部キャパシタ側壁絶縁膜の上に設けられ、前記データ転送トランジスタのソースに接続され、前記ソースとの接続面に凹部分及び凸部分があり、その凸部分は前記上部キャパシタ側壁絶縁膜より前記トレンチ溝外側方向に突出し、前記上部キャパシタ側壁絶縁膜上での厚さが他の部分よりも大き

いソース接続電極とを有する半導体記憶装置である。

【0016】さらに、本発明の別の特徴は、半導体基板内に設けられ、電荷を保持するトレンチ型キャパシタと、このトレンチ型キャパシタに電荷保持用電圧を供給するデータ転送トランジスタと、このデータ転送トランジスタのソースと前記トレンチ型キャパシタとの間に接続され、前記ソース側に対して突出した突出部分及び突出されていない非突出部分が設けられた埋め込みストラップとを有する半導体記憶装置である。

10 【0017】さらに本発明の別の特徴は、半導体基板中にトレンチ溝を形成し、このトレンチ溝内に下部側面にキャパシタ絶縁膜を形成し、このキャパシタ絶縁膜の内側のトレンチ溝内にトレンチ下部電極を形成し、前記トレンチ溝内上部側面にトレンチ上部キャパシタ側壁絶縁膜を形成し、このトレンチ上部キャパシタ側壁絶縁膜の内側のトレンチ溝内に上部キャパシタ電極を形成する工程と、前記半導体基板中の前記キャパシタ絶縁膜周囲にキャパシタ電極用拡散層を形成する工程と、前記上部キャパシタ電極上から前記トレンチ溝外側の前記半導体基板上にまたがる開口を有するフォトレジストを前記半導体基板上方に形成する工程と、前記フォトレジストを用いて、前記フォトレジストの開口部に対してエッチングを行ない前記半導体基板、前記上部キャパシタ電極、前記トレンチ上部キャパシタ側壁絶縁膜内に突出部開口を形成する工程と、前記フォトレジストを除去し、前記突出部開口及び前記上部キャパシタ電極上に導電層を形成して、ソース接続電極を形成する工程と、素子形成予定領域以外の前記半導体基板表面付近をエッチングして素子分離領域形成用溝を形成する工程と、前記素子分離領域形成用溝に絶縁膜を埋め込む工程と、前記素子形成予定領域上の前記半導体基板上にゲート電極を形成し、前記半導体基板中にソース及びドレインを形成して、このソースを前記ソース接続電極に接続させ、データ転送トランジスタを形成する工程とを具備する半導体記憶装置の製造方法である。

【0018】

【発明の実施の形態】（第1の実施の形態）本実施の形態の半導体記憶装置の構造を図1乃至図5を用いて説明する。図1は、本実施の形態の半導体記憶装置の特徴を表すメモリセルエリアの断面図であり、例えばシリコンからなる半導体基板1中には、トレンチ溝（トレンチ型キャパシタ用穴、トレンチ型キャパシタ用孔）2が形成されている。このトレンチ溝2の下部周囲の半導体基板1内には、キャパシタ電極用N型拡散層3が設けられている。このトレンチ溝2の下部内の側壁には、例えばシリコン窒化膜がキャパシタ電極用N型拡散層3に接して設けられている。さらにこのシリコン窒化膜の内側にシリコン酸化膜が形成されて、あわせてキャパシタ絶縁膜4として機能する。

50 【0019】さらに、トレンチ溝2の下部内のキャパシ

タ絶縁膜4内には、例えばAs<sup>\*</sup>を添加した非晶質シリコンが充填された下部キャパシタ電極5が形成されている。下部キャパシタ電極5上のトレンチ溝2側壁には、上部キャパシタ側壁絶縁膜6が設けられている。

【0020】さらに、上部キャパシタ側壁絶縁膜6内のトレンチ溝2内には、As<sup>\*</sup>が添加された非晶質シリコンが充填されて、上部キャパシタ電極7が設けられて、下部キャパシタ電極5に接続されている。上部キャパシタ電極7上には、ポリシリコンからなるソース接続電極（埋め込みストラップ）8が形成されている。このソース接続電極8は、上部キャパシタ側壁絶縁膜6上からトレンチ溝2の外側に相当する半導体基板1上部の一部分まで突出して形成されている。ここで、ソース接続電極8は、上部キャパシタ側壁絶縁膜6上で最も深くまで形成され、その周辺では、厚さが若干薄く形成されている。さらにその上部キャパシタ側壁絶縁膜6周辺部から離間した上部キャパシタ電極上のソース接続電極8は、その厚さはさらに薄く形成されている。こうして、キャパシタ電極用N型拡散層3、キャパシタ絶縁膜4、下部キャパシタ電極5、上部キャパシタ側壁絶縁膜6、上部キャパシタ電極7、ソース接続電極8、上部絶縁膜9からなるトレンチキャパシタが形成されている。

【0021】このソース接続電極8上には上部絶縁膜9が形成され、この上部絶縁膜9上には、ゲート絶縁膜10を介して、例えば多結晶シリコンゲート電極層11及びWSiゲート電極層12が形成されている。この多結晶シリコンゲート電極層11及びWSiゲート電極層12下方の半導体基板1の上面付近には、ソース接続電極8に接続されるソース13が形成されている。また、ソース13が形成される領域に多結晶シリコンゲート電極層11及びWSiゲート電極層12下方の半導体基板1の上面付近にドレイン14が形成されている。このソース13、ドレイン14は、半導体基板1の上面付近のアクティブ領域15内に設けられている。多結晶シリコンゲート電極層11及びWSiゲート電極層12の側面には、SiNなどから形成されたゲート側壁絶縁膜16が設けられている。

【0022】さらに、アクティブ領域15上には、連続して複数の多結晶シリコンゲート電極層11、WSiゲート電極層12、及びゲート側壁絶縁膜16が設けられている。トレンチキャパシタは、一定間隔を隔てて半導体基板1中に形成されていて、隣接して形成された1対のトレンチキャパシタ間のアクティブ領域15中には、素子分離領域18が設けられている。各トレンチキャパシタ上には、多結晶シリコンゲート電極層11、WSiゲート電極層12、及びゲート側壁絶縁膜16が一つずつ設けられている。隣接して形成された1対のトレンチキャパシタ間のアクティブ領域15中には、素子分離領域18が形成されている。さらに離間して配置された2つのトレンチキャパシタ間には、多結晶シリコンゲート

電極層11、WSiゲート電極層12、ゲート側壁絶縁膜16、ソース13、ドレイン14からなるデータ転送トランジスタが2つ形成されている。この多結晶シリコンゲート電極層11及びWSiゲート電極層12がワード線として機能する。

【0023】離間して配置された2つのトレンチキャパシタ間に設けられた2つのデータ転送トランジスタのドレイン14は共通して1つ設けられている。また、隣接した1対のトレンチキャパシタは、キャパシタ電極用N型拡散層3は互いに接続されている。また、それぞれのトレンチキャパシタ上には、図1に現れない他のトレンチキャパシタのデータ転送トランジスタが設けられている。

【0024】ここで、図1は、上面図である図2の“A-B”線における断面図であり、図2においては、データ転送トランジスタは図示を省略している。図2に示された上面図では、離間して配置されたトレンチ溝2間には、素子分離領域18で囲まれてアクティブ領域15が設けられている。アクティブ領域15は、その端部が半楕円である長方形となっていて、トレンチ溝2内にもアクティブ領域15以外は素子分離領域18が形成されている。アクティブ領域15の幅は、例えば約0.175μmとすることができる。突出部20の長さは、このアクティブ領域15の幅よりも小さい。上面図に示されるように、1つのアクティブ領域の同一行の上下に他のアクティブ領域が行状に長手方向にずれて形成されている。

【0025】ここで、アクティブ領域15に面した1つのトレンチ溝2には、3つの突出部20が設けられている。このアクティブ領域15に面した部分以外では、小判形状、すなわち、曲線部と直線部の組み合わせ形状となっている。

【0026】図2において省略されたデータ転送ゲートを示した上面図を図3に示す。図3に示されるように、データ転送トランジスタの最上層であるWSiゲート電極層12が複数本、一定間隔を隔てて互いに平行に直線状に形成されている。

【0027】次に、図2における“C-D”線上での断面を図4に示す。ここで、図1に示される断面と異なる点は、トレンチキャパシタのソース接続電極8及び上部絶縁膜9のソース13との接続面に凹凸がない点である。すなわち、ソース接続電極8及び上部絶縁膜9はその下側の上部キャパシタ側壁絶縁膜6の側面と同一の側面にて、ソース13と接触している。

【0028】次に、図1におけるM部分の拡大図を図5に示す。ここで、ソース接続電極8及び上部絶縁膜9の突出部20は、上部キャパシタ側壁絶縁膜6よりもソース13側に突出して、その深さが突出部20以外のソース接続電極8よりも深いソース側突出部21を有している。さらにソース接続電極8の突出部20は、トレンチ

溝2側にその深さが突出部20以外のソース接続電極8よりも深いトレンチ側突出部22を有している。また、ソース接続電極8の突出部20は、上部キャパシタ側壁絶縁膜6上では、その深さが他の領域よりも最も深く形成されている。このように、図1の断面においては、トレンチ型キャパシタのアクティブ領域との接合部分であるソース接続電極8にその深さ方向の底部において凸凹の段差を設けている。

【0029】トレンチキャパシタに隣接するデータ転送トランジスタは、トレンチキャパシタの記憶内容を入出力させて、ワード線へ電位を伝達する。図2に示された最上行に設けられたアクティブ領域のデータ転送トランジスタのゲート電極が、図1に示されたトレンチキャパシタ上に形成されたワード線に該当する。互いに隣接するデータ転送トランジスタのゲート間の共有化されているドレインには、ビット線コンタクト（図示せず）が接続され、ワード線上に設けられたビット線（図示せず）に接続されている。さらに、半導体基板上には、層間絶縁膜（図示せず）が形成されて、ゲート電極やビット線などを被覆している。

【0030】ここで、トレンチキャパシタとデータ転送トランジスタのソースとを接続する埋め込みストラップ\*

$$X = \frac{1}{5}X_0 \times 2 + \frac{3}{10}X_0 \pi = \frac{1}{2} + \frac{3}{10}X_0 \pi \times \frac{1}{4} \times 2 = \left(\frac{2}{5} + \frac{3}{10}\pi\right)X_0 = 1.342 X_0$$

この数式に示されるように、直線状に埋め込みストラップが形成された場合の長さ相当する $X_0$ よりも30%近く接合長さを大きくすることができる。

【0034】また、本実施の形態の構造によれば、微細化を進めて接触距離が1.3分の1倍までの範囲で接触距離が縮んでも、影響がない。

【0035】また、本実施の形態の構造によれば、接触距離が1.3倍となるので、接触抵抗を1.3分の1、すなわち約74.5%に減少できる。本実施の形態では、メモリセル構成素子であるトレンチキャパシタとデータ転送トランジスタのソース領域との接合抵抗を低減させる。

【0036】次に、本実施の形態にかかる半導体記憶装置の製造方法を、図1乃至図10を用いて説明する。まず、図6(A)に示されるようにアクティブ領域に相当する半導体基板1上に四角形状の島状にガラスマスク（図示せず）を置いて、マスク外の半導体基板のトレンチキャパシタ形成予定領域に複数のトレンチ溝2を形成する。トレンチ溝2は、上面から見るとガラスマスクの四角形をリソグラフィ技術により転写され四隅が丸まった楕円に近い形状を維持している。

【0037】次に、トレンチ溝2下部の側面を酸化してシリコン酸化膜を表面上に形成する。この際、半導体基板の露出面にシリコン窒化膜を形成する。次に、酸化を行ってシリコン酸化膜を形成する。さらに、トレンチ下部のシリコン酸化膜上に、こうして、キャパシタ絶縁膜

\*として機能するトレンチキャパシタ上部のソース接続電極8は、その不純物濃度を高く設定することで、抵抗値を低下できるので、本実施の形態の構造に組み合わせると、接触抵抗を一層低減できる。

【0031】上述にて説明した通り、本実施の形態の半導体記憶装置によれば、トレンチ型キャパシタとデータ転送トランジスタとの間に形成される埋め込みストラップ部分の抵抗を低減することが可能である。

【0032】すなわち、本実施の形態である図2に示される構造の場合、アクティブ領域15の幅を $X_0$ とした場合、埋め込みストラップ部分の10分の3の直径( $=3/10 \times X_0$ )を有する突出部を3つ設けて、かつ、その間隔を互いに埋め込みストラップ部分の5分の1( $=1/5 \times X_0$ )ずつ設けると、そのアクティブ領域とトレンチキャパシタが接触する埋め込みストラップ部分の合計した長さ $X$ は、 $\pi=3.14$ とすると下式のように表される。下式において、第1項は3つの孔の間隔が2つあることを示し、第2項は半円周が1つあることを示し、第3項は1/4周の円周が2つあることを示している。

【0033】

【数1】

4を形成する。

【0038】次に、トレンチ溝2内部に非晶質シリコン層を埋め込み、トレンチ溝2の下部のみに残るようにしてトレンチ溝2の上部では、半導体基板1が露出するまで非晶質シリコン層を除去して、下部キャパシタ電極5を形成する。

【0039】次に、トレンチ溝2の上部にシリコン酸化膜をCVD法にて堆積し、トレンチ溝2の上部側面のみに残るようにトレンチ溝2の上部内のシリコン酸化膜を除去して、上部キャパシタ側壁絶縁膜6を形成する。

【0040】次に、トレンチ溝2の上部に非晶質シリコンを堆積して、上部キャパシタ電極7を形成する。

【0041】この状態での上面図が図6(B)に相当し、各トレンチ溝2内部の側面には、上部キャパシタ側壁絶縁膜6が形成され、この上部キャパシタ側壁絶縁膜6の内面には上部キャパシタ電極7が形成されている。この図6(B)における“E-F”線上での断面が図6(A)に相当する。

【0042】次に、各トレンチ溝2の側面に3つの開口を形成するためのホールパターン開口30を持つガラスマスクを用意する。ここで、ガラスマスクは数チップごとと転写するため、数チップ分のパターンが形成されている。

【0043】次に、図7(A)に断面が示されるように半導体基板1のメモリセルエリアに四角形のガラスマスクのパターンをフォトリソ31としてリソグラフィ

により半導体基板に転写する。このようにフォトリソ  
ト31中には、ホールパターン開口30が設けられてい  
る。このホールパターン開口30中には、トレンチ上部  
キャパシタ電極7の端部上表面、上部キャパシタ絶縁膜  
6の上表面、及び半導体基板1のトレンチ溝2に接する  
部分の上表面端部が露出している。この図7(A)に示  
された状態での上面は図7(B)に示される。図7  
(B)において、各トレンチ溝2の端部に相当する位置  
に3つのホールパターン開口30が設けられている。こ  
の図7(B)における“G-H”線上での断面が図7  
(A)に相当する。

【0044】次に、図8に断面が示されるように例えば  
ドライエッチングによりフォトリソト31を用いて、  
突出部開口33をトレンチ溝2端部に形成する。

【0045】次に、図9(A)に断面が示されるように  
フォトリソト31をアッシング(灰化処理)にて、除  
去する。次に、この突出部開口33内とトレンチ上部キ  
ャパシタ電極7上に例えば $As^+$ を添加した非晶質シリ  
コンを堆積して、ソース接続電極8を形成する。この部  
分の形成の際、適宜エッチングや不純物の熱拡散を行  
う。この断面を上から見た状態が図9(B)に示され  
る。図9(B)に示されるように、離間したトレンチ溝  
2同士の対向面には、それぞれ3つずつの突出部20が  
設けられている。また、隣接した1対にトレンチ溝2同  
士の対向する面は直線状である。この図9(B)におけ  
る“I-J”線上での断面が図9(A)に示される断面  
図である。

【0046】次に、リソグラフィにより、素子分離領域  
(Shallow Trench Isolation、以下STIと称する)  
形成予定領域にSTI形成用のフォトリソト(図示せ  
ず)を形成する。

【0047】次に、図10に示されるようにこのフォ  
トリソトをマスクとして用いてSTI形成予定領域の上  
部絶縁膜9、ソース接続電極8、上部キャパシタ電極7  
及び上部キャパシタ側壁絶縁膜6をエッチングによっ  
て除去し、STI形成用の素子分離溝35の島状パターン  
を形成する。

【0048】次に、図11に示されるように各STI形成  
用の素子分離溝35内に絶縁膜を埋め込んで、素子分離  
領域18を形成し、隣接するトレンチキャパシタ間を上  
面付近で分離する。この際、トレンチ溝2の露出した表  
面であるソース接続電極8上に上部絶縁膜9が形成され  
る。

【0049】次に、素子分離領域18で囲まれたアク  
ティブ領域15上及びトレンチキャパシタ上にゲート絶縁  
膜10、多結晶シリコンゲート電極層11、WSiゲ  
ート電極層12を堆積して、ゲート形状に加工する。次  
に、ゲート周囲にゲート側壁絶縁膜16を形成して、こ  
のゲート側壁絶縁膜16、ゲート絶縁膜10、多結晶シ  
リコンゲート電極層11、WSiゲート電極層12をマ

スクとして、アクティブ領域15中にソース13、ドレ  
イン14を形成する。こうして、本実施の形態の半導体  
記憶装置を得る。

【0050】また、本実施の形態の製造方法によれば、  
素子分離溝を転写する時にトレンチキャパシタに対して  
ズレが生じた場合でも凹凸が無い場合に比べ接触部分の  
減少を押さえることができ、抵抗上昇を抑制することが  
できる。

【0051】さらにまた、本実施の形態の製造方法によ  
ればトレンチキャパシタとデータ転送トランジスタの接  
触部分が長くなるので、トレンチキャパシタとアクティ  
ブ領域との間のズレが、増加しても例えば1.3分の1  
倍までの範囲で接触距離が縮んでも、影響がない。

【0052】(第2の実施の形態)本実施の形態にかか  
る半導体記憶装置を、図1、図3、図4、及び図11を  
用いて説明する。本実施の形態の半導体記憶装置のデー  
タ転送トランジスタを省略して示す上面図である図11  
において、1行分のアクティブ領域を示す。ここで、デ  
ータ転送トランジスタを省略せずに示した“A-B”線  
上での断面は図1に示される通りであり、データ転送ト  
ランジスタを省略せずに示した“C-D”線上での断面  
は図4に示される通りである。さらに、データ転送トラ  
ンジスタを含めて示した上面図は図3に示される通りで  
ある。

【0053】図11において、離間して配置されたトレ  
ンチ溝2間には、素子分離領域18で囲まれてアクティ  
ブ領域15が設けられている。アクティブ領域15は、  
その端部が半楕円である長方形となっていて、トレンチ  
溝2内にもアクティブ領域15以外は素子分離領域18  
が形成されている。アクティブ領域15の幅は、例えば  
約 $0.175\mu m$ とすることができる。突出部20の長  
さは、このアクティブ領域15の幅よりも小さい。上面  
図に示されるように、1つのアクティブ領域の同一行の  
上下に他のアクティブ領域が行状に長手方向にずれて形  
成されている。

【0054】ここで、アクティブ領域15に面したトレ  
ンチ溝2には、2つの突出部20が設けられている。こ  
のアクティブ領域15に面した部分以外では、小判形  
状、すなわち、曲線部と直線部の組み合わせ形状となっ  
ている。

【0055】なお、1つのトレンチキャパシタごとに設  
けられる突出部の数やその大きさは、図11に示された  
構成に限られるものではなく、他の個数や大きさを持つ  
突出部としてもよい。上述の通り、図11に示された構  
造以外については、第1の実施の形態の構造と同様であ  
るので説明は省略する。本実施の形態の半導体記憶装置  
では、第1の実施の形態同様の効果を得ることができ  
る。

【0056】次に、本実施の形態にかかる半導体記憶装  
置の製造方法を、図6(A)、図6(B)、図7



(A)、図8、図9(A)、図9(B)、図10乃至図13を用いて説明する。まず、図6(A)及び図6(B)に示される構造を第1の実施の形態同様に形成する。

【0057】次に、各トレンチ溝2の側面に2つの開口を形成するためのホールパターン開口30を持つガラスマスクを用意する。ここで、ガラスマスクは数チップごとに転写するため、数チップ分のパターンが形成されている。

【0058】次に、図7(A)に断面が示されるように半導体基板1のメモリセルエリアに四角形のガラスマスクのパターンをフォトリソグラフィとしてリソグラフィにより半導体基板に転写する。このようにフォトリソグラフィ31中には、ホールパターン開口30が設けられている。このホールパターン開口30中には、トレンチ上部キャパシタ電極7の端部上表面、上部キャパシタ絶縁膜6の上表面、及び半導体基板1のトレンチ溝2に接する部分の上表面端部が露出している。この図7(A)に示された状態での上面は図12に示される。図12において、各トレンチ溝2の端部に相当する位置に2つのホールパターン開口30が設けられている。この図12における“G-H”線上での断面が図7(A)に相当する。

【0059】次に、図8に断面が示されるように例えばドライエッチングによりフォトリソグラフィ31を用いて、突出部開口33をトレンチ溝2端部に形成する。

【0060】次に、図9(A)に断面が示されるようにフォトリソグラフィ5をアッシング(灰化处理)にて、除去する。次に、この突出部開口33内とトレンチ上部キャパシタ電極7上に例えばAs<sup>+</sup>を添加した非晶質シリコンを堆積して、ソース接続電極8を形成する。この部分の形成の際、適宜エッチングや不純物の熱拡散を行う。この断面を上から見た状態が図13に示される。図13に示されるように、離間したトレンチ溝2同士の対向面には、それぞれ2つずつの突出部20が設けられている。また、隣接した1対にトレンチ溝2同士の対向する面は直線状である。この図13における“I-J”線上での断面が図9(A)に示される断面図である。

【0061】次に、リソグラフィにより、素子分離領域形成予定領域にSTI形成用のフォトリソグラフィ(図示せず)を形成する。

【0062】次に、図10に示されるようにこのフォトリソグラフィをマスクとして用いてSTI形成予定領域の上部絶縁膜9、ソース接続電極8、上部キャパシタ電極7及び上部キャパシタ側壁絶縁膜6をエッチングによって除去し、STI形成用の素子分離用溝35の島状パターンを形成する。

【0063】次に、図11に示されるように各STI形成用の素子分離用溝35内に絶縁膜を埋め込んで、素子分離領域18を形成し、隣接するトレンチキャパシタ間を上面付近で分離する。この際、トレンチ溝2の露出した

表面であるソース接続電極8上に上部絶縁膜9が形成される。

【0064】次に、素子分離領域18で囲まれたアクティブ領域15上及びトレンチキャパシタ上にゲート絶縁膜10、多結晶シリコンゲート電極層11、WSiゲート電極層12を堆積して、ゲート形状に加工する。次に、ゲート周囲にゲート側壁絶縁膜16を形成して、このゲート側壁絶縁膜、ゲート絶縁膜10、多結晶シリコンゲート電極層11、WSiゲート電極層12をマスクとして、アクティブ領域15中にソース13、ドレイン14を形成する。こうして、本実施の形態の半導体記憶装置を得る。

【0065】本実施の形態の半導体記憶装置の製造方法は、第1の実施の形態の半導体記憶装置の製造方法と同様の効果を得ることができる。さらに、本実施の形態の半導体記憶装置では、開口の個数が2つとしたことで開口間距離を第1の実施の形態よりも大きくでき、開口間距離が短いことによる歩留まり低下を避けられる。

【0066】(第3の実施の形態) 本実施の形態は、第1の実施の形態同様の構造を有する半導体記憶装置である。このような構造の半導体記憶装置を製造する方法について図6乃至図9、図14乃至図16を用いて説明する。まず、図6(A)及び図6(B)に示される構造を第1の実施の形態同様に形成する。

【0067】次に、各トレンチ溝2の側面ごとに2つの開口を持つホールパターン開口30を持つガラスマスクを用意する。この際、ホールパターン開口30として設けられた2つの開口間距離は、第2の実施の形態におけるホールパターン開口30として設けられた2つの開口間距離よりも小さく形成されている。ここで、ガラスマスクは数チップごとに転写するため、数チップ分のパターンが形成されている。

【0068】次に、図7(A)に断面が示されるように半導体基板1のメモリセルエリアに四角形のガラスマスクのパターンをフォトリソグラフィとしてリソグラフィにより半導体基板に転写する。このようにフォトリソグラフィ31中には、ホールパターン開口30が設けられている。このホールパターン開口30中には、トレンチ上部キャパシタ電極7の端部上表面、上部キャパシタ絶縁膜6の上表面、及び半導体基板1のトレンチ溝2に接する部分の上表面端部が露出している。この図7(A)に示された状態での上面は図14に示される。図14において、各トレンチ溝2の端部に相当する位置に2つのホールパターン開口30が設けられている。この図14における“G-H”線上での断面が図7(A)に相当する。

【0069】次に、図8に断面が示されるように位相シフトマスクを用いてリソグラフィを行ない、フォトリソグラフィ31を形成し、エッチングを行ない突出部開口33をトレンチ溝2端部に形成する。この際、サイドロブ効果により、フォトリソグラフィ31に設けられる開口及

び、突出部開口33は図7(B)に上面が示されるように各トレンチ溝2につき、3つずつ設けられる。ここで、サイドロブ効果は、位相シフトマスクを利用した場合にマスクに設けられた開口部の距離が一定値以下の場合、それぞれの開口に対応した逆位相の光強度のピークが隣接する開口同士で重なり合い、逆位相での光強度のピークが極めて大きくなる現象である。このサイドロブ効果によって得られる開口は、その直径はマスクに設けられた開口に対応した通常の開口よりも若干小さいながら、第3の開口が設けられる。ここで、図15(A)には、通常のマスクを使用してエッチングを行った場合のレジストにおける開口の状態を表す上面図が示される。ここでは、2つの開口は距離Yを隔てて形成される。この開口の位置に応じた光強度が図15(B)に示される。開口30の位置でそれぞれ位相が同じピークPが生じる。この2つのピークPの左右の位置には逆位相のピークPR1がそれぞれ2つずつ生じる。この逆位相のピークPR1の強度の大きさはピークPよりも小さくなっているため、レジストへのダメージは小さい。

【0070】これに対し、図16(A)には、位相シフトマスクを使用してエッチングを行った場合のフォトレジストにおける開口の状態を表す上面図が示される。ここでは、2つの開口は距離Zを隔てて形成される。この距離Zは距離Yよりも小さくなっている。このため、2つの開口の間にもうひとつの開口が形成されている。この開口の位置に応じた光強度が図16(B)に示される。両端の開口30の位置でそれぞれ位相が同じピークPが生じる。この2つのピークPの間には、同程度の強度の逆位相のピークPR2が生じている。この逆位相のピークPR2によって、2つの近接した開口間に本来のガラスマスクには存在しなかった開口が生じる。ピークPの逆位相PR2形成側と逆の位置には逆位相のピークPR1がそれぞれ1つずつ生じる。この逆位相のピークPR1の強度の大きさはピークPや逆位相のピークPR2よりも小さくなっているため、レジストへのダメージは小さく、この部分では開口は生じない。

【0071】次に、図9(A)に断面が示されるようにフォトレジスト5をアッシング(灰化処理)にて、除去する。次に、この突出部開口33内とトレンチ上部キャパシタ電極7上に例えばAs<sup>+</sup>を添加した非晶質シリコンを堆積して、ソース接続電極8を形成する。この部分の形成の際、適宜エッチングや不純物の熱拡散を行う。この断面を上から見た状態が図9(B)に示される。図9(B)に示されるように、離間したトレンチ溝2同士の対向面には、それぞれ3つずつの突出部20が設けられている。また、隣接した1対にトレンチ溝2同士の対向する面は直線状である。この図9(B)における“I-J”線上での断面が図9(A)に示される断面図である。

【0072】次に、リソグラフィにより、素子分離領域

形成予定領域にSTI形成用のフォトリソ(図示せず)を形成する。以降の工程は第1の実施の形態の半導体記憶装置の製造方法と同様であるので、説明は省略する。このように位相シフトマスクを用いると、解像度が向上でき、通常使用されるクロムマスクよりも微細な穴を開けることができる。本実施の形態においても第1の実施の形態同様の効果を得ることができる。さらに、上述の通り、位相シフトマスクを用いる場合、ガラスマスク上の開口の個数を減らしても、2つの開口の距離を近づけることでサイドロブ効果により、フォトリソ上の2つの開口の間にパターンを形成することができ、これを第1の実施の形態同様にリアクティブイオンエッチングを行うことにより半導体基板上に3つの開口を持つパターンを転写することが可能である。

【0073】(第4の実施の形態)本実施の形態の半導体記憶装置の構造を図17を用いて説明する。図17(A)は、本実施の形態の半導体記憶装置の特徴を表すメモリエリアの断面図であり、図2及び図3に示される上面形状を有していて、図17(A)は図2における“A-B”線上での断面にワード線を追加して示した図である。本実施の形態の半導体記憶装置は、ソース接続電極8の形状のみが第1の実施の形態の半導体記憶装置と相違し、他の構造は共通しているため、共通点についての説明は省略する。

【0074】図17(A)におけるトレンチキャパシタ上部のデータ転送トランジスタのソースとの接続部分を指すN部分の拡大図である図17(B)に示されるように、ソース接続電極8は突出部20にはソース側突出部21だけを有し、ソース側突出部21においてだけ、その深さが上部キャパシタ電極7上のソース接続電極8の深さよりも浅く形成されている。この突出部20においては、ソース13の深さよりも浅く形成されている。埋め込みストラップ部の加工深さであるソース接続電極8のソース側突出部21の深さが図5に示される第1の実施の形態では、ソース13の接合深さよりも深く、その階段状部分から、半導体基板1へ向けて接合リーク電流が発生する。これに対し、本実施の形態の半導体記憶装置の構造では、このソース接続電極8の階段状部分は、ソース13の接合深さよりも浅く、ソース13で取り囲まれているために、半導体基板1への接合リーク電流発生が防止できる。このエッチング除去されたソース接続電極8の階段状の部分はソース13が例えば深さ50nm程度の場合、50nm以下の深さで形成される。

【0075】本実施の形態の半導体記憶装置によれば、第1の実施の形態と同様の効果を得た上で、さらにソース接続電極と半導体基板との間のリーク電流発生を防止できる。

【0076】次に、本実施の形態の半導体記憶装置の製造方法を説明する。第1の実施の形態の半導体記憶装置の製造方法と共通する工程については説明を省略する。

第1の実施の形態の半導体記憶装置の製造方法において、図6から図7までに示される工程は、共通である。次に、図18に示されるように、例えばドライエッチングによりフォトレジスト31を用いて、突出部開口40をトレンチ溝2端部上に形成する。この際、半導体基板1上面でのエッチング量を後の工程で製造されるデータ転送トランジスタのソースの拡散深さの予定値よりも浅くする。

【0077】次に、図19に断面が示されるようにフォトレジスト31をアッシング（灰化処理）にて、除去する。次に、この突出部開口40内とトレンチ上部キャパシタ電極7上に例えばAs<sup>+</sup>を添加した非晶質シリコンを堆積して、ソース接続電極8を形成する。この部分の形成の際、適宜エッチングや不純物の熱拡散を行う。この断面を上から見た状態が図9（B）に示される。

【0078】次に、リソグラフィにより、素子分離領域形成予定領域にSTI形成用のフォトレジスト（図示せず）を形成する。

【0079】次に、図20に示されるようにこのフォトレジストをマスクとして用いてSTI形成予定領域の上部絶縁膜9、ソース接続電極8、上部キャパシタ電極7及び上部キャパシタ側壁絶縁膜6をエッチングによって除去し、STI形成用の素子分離用溝35の島状パターンを形成する。

【0080】次に、図17に示されるように各STI形成用の素子分離用溝35内に絶縁膜を埋め込んで、素子分離領域18を形成し、隣接するトレンチキャパシタ間を上面付近で分離する。

【0081】次に、素子分離領域18で囲まれたアクティブ領域15上及びトレンチキャパシタ上にゲート絶縁膜10、多結晶シリコンゲート電極層11、WSiゲート電極層12を堆積して、ゲート形状に加工する。次に、ゲート周囲にゲート側壁絶縁膜16を形成して、このゲート側壁絶縁膜16、ゲート絶縁膜10、多結晶シリコンゲート電極層11、WSiゲート電極層12をマスクとして、アクティブ領域15中にソース13、ドレイン14を形成する。この際、ソース13の深さは必ずソース接続電極8の深さよりも深くなるように形成する。こうして、本実施の形態の半導体記憶装置を得る。

【0082】このように、本実施の形態の半導体記憶装置の製造方法によれば、ソース接続電極端部と半導体基板との接触面に形成される鋭角な加工形状に起因する接合リーク電流を低減することができる。なお、本実施の形態は、第2の実施の形態又は第3の実施の形態のいずれかに組み合わせて実施することも可能である。

【0083】（第5の実施の形態）本実施の形態の半導体記憶装置の構造を図21を用いて説明する。図21

（A）は、本実施の形態の半導体記憶装置の特徴を表すメモリエリアの断面図であり、ソース接続電極8の形状のみが第1の実施の形態の半導体記憶装置と相違

し、他の構造は共通しているので、共通点についての説明は省略する。図21（A）の断面では、トレンチ溝2上部にソース接続電極8の突出部20が、ソース13側の端部だけでなく、素子分離領域18側にも形成されている。ここで、図21（B）は、上面図である図21（A）の“A-B”線における断面図であり、図2においては、データ転送トランジスタは図示を省略している。図21（B）に示された上面図では、離間して配置されたトレンチ溝2間には、素子分離領域18で囲まれてアクティブ領域15が設けられている。アクティブ領域15は、その端部が半楕円である長方形となっている。アクティブ領域15の幅は、例えば約0.175μmとすることができる。突出部20の長さは、このアクティブ領域15の幅よりも小さい。なお、図2同様に、実際には、1つのアクティブ領域の同一行の上下に他のアクティブ領域が行状に長手方向にずれて形成されている。

【0084】ここで、アクティブ領域15に面したトレンチ溝2には、その周囲全体にわたって複数の突出部20が設けられて、全体としてその上面形状は楕円に多数の突出部が設けられた形状となっている。

【0085】なお、図21（B）における“C-D”線上での断面図は図4に示される通りの第1の実施の形態同様となっている。

【0086】本実施の形態の半導体記憶装置は、第1の実施の形態と同様の効果を有し、さらにこのようにトレンチ周囲全面に凹凸を設けることでストレスが均一に分散されて、ストレス耐圧が強化される。

【0087】本実施の形態の半導体記憶装置の製造方法は、形成すべき突出部に対応したホールを有するガラスマスクを用いて、フォトレジストへ転写し、図7（B）に示されるようなホールパターン開口の個数を増加した形状とし、半導体基板1及び上部電極7のエッチングを行って、図8に示される突出部開口の個数を増加させて、図9、図10、図21に示されるようにソース接続電極8、上部絶縁膜9、素子分離用溝35、素子分離領域18、ゲート絶縁膜10、多結晶シリコンゲート電極層11、WSiゲート電極層12、ゲート側壁絶縁膜16を順次形成する。このように、第1の実施の形態の半導体記憶装置の製造方法と同様の工程数で、本実施の形態の半導体記憶装置を製造できる。

【0088】

【発明の効果】本発明によれば、埋め込みストラップ部分の抵抗を低減するトレンチキャパシタを有する半導体記憶装置及びその製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体記憶装置の構造を表す断面図。

【図2】 本発明の第1の実施の形態に係る半導体記憶

装置の構造を表すデータ転送ゲートを省略した上面図。

【図3】 本発明の第1の実施の形態に係る半導体記憶装置の構造を表す上面図。

【図4】 本発明の第1の実施の形態に係る半導体記憶装置の上面図である図2における“C-D”線上での断面図。

【図5】 本発明の第1の実施の形態に係る半導体記憶装置の断面図である図1におけるM領域の拡大図。

【図6】 (A)は、本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る断面図であり、(B)は、本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る上面図である。

【図7】 (A)は、本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る断面図であり、(B)は、本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る上面図である。

【図8】 本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る断面図。

【図9】 (A)は、本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る断面図であり、(B)は、本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る上面図である。

【図10】 本発明の第1の実施の形態に係る半導体記憶装置の製造方法における一工程に係る断面図。

【図11】 本発明の第2の実施の形態に係る半導体記憶装置を表す上面図。

【図12】 本発明の第2の実施の形態に係る半導体記憶装置の製造方法における一工程に係る上面図。

【図13】 本発明の第2の実施の形態に係る半導体記憶装置の製造方法における一工程に係る上面図。

【図14】 本発明の第3の実施の形態に係る半導体記憶装置の製造方法における一工程に係る上面図。

【図15】 (A)は、本発明の第3の実施の形態に係る半導体記憶装置の製造方法におけるフォトレジストの上面図であり、(B)は、本発明の第3の実施の形態に係る図15(A)に示されたフォトレジストの光の強度を示す特性図である。

【図16】 (A)は、本発明の第3の実施の形態に係る半導体記憶装置の製造方法におけるフォトレジストの上面図であり、(B)は、本発明の第3の実施の形態に係る図16(A)に示されたフォトレジストの光の強度を示す特性図である。

【図17】 (A)は、本発明の第4の実施の形態に係る半導体記憶装置の構造に係る断面図であり、(B)

は、本発明の第4の実施の形態に係る半導体記憶装置の断面図である図17(A)におけるN領域の拡大図である。

【図18】 本発明の第4の実施の形態に係る半導体記憶装置の製造方法の一工程に係る断面図。

【図19】 本発明の第4の実施の形態に係る半導体記憶装置の製造方法の一工程に係る断面図。

【図20】 本発明の第4の実施の形態に係る半導体記憶装置の製造方法の一工程に係る断面図。

【図21】 (A)は、本発明の第5の実施の形態に係る半導体記憶装置の構造を表す断面図であり、(B)は、本発明の第5の実施の形態に係る半導体記憶装置の構造を表すデータ転送ゲートを省略した上面図である。

【図22】 従来の半導体記憶装置の構造を表すデータ転送ゲートを省略した上面図。

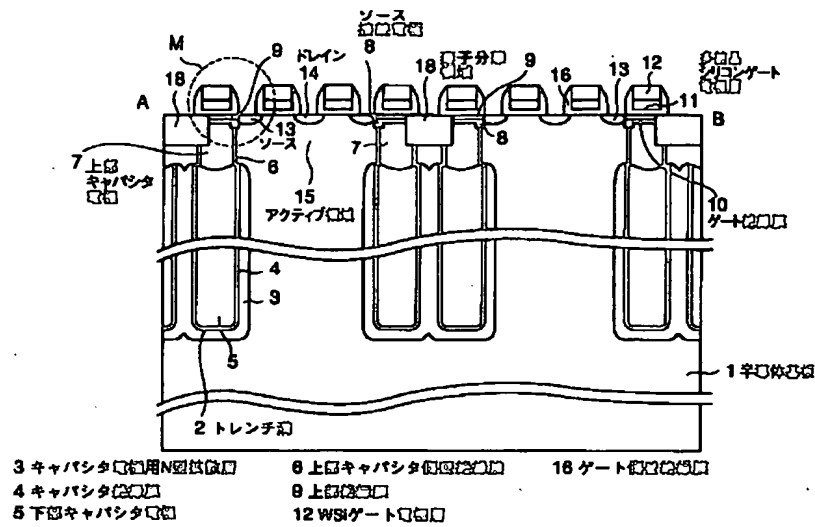
【図23】 (A)は、従来の半導体記憶装置の製造方法の一工程を表す断面図であり、(B)は、従来の半導体記憶装置の製造方法の一工程を表す上面図である。

【図24】 従来の半導体記憶装置の製造方法の一工程を表す断面図。

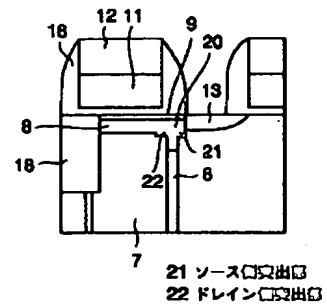
【符号の説明】

- 1 半導体基板
- 2 トレンチ溝
- 3 キャパシタ電極用N型拡散層
- 4 キャパシタ絶縁膜
- 5 下部キャパシタ電極
- 6 上部キャパシタ側壁絶縁膜
- 7 上部キャパシタ電極
- 8 ソース接続電極
- 9 上部絶縁膜
- 10 ゲート絶縁膜
- 11 多結晶シリコンゲート電極層
- 12 WSiゲート電極層
- 13 ソース
- 14 ドレイン
- 15 アクティブ領域
- 16 ゲート側壁絶縁膜
- 18 素子分離領域
- 20 突出部
- 21 ソース側突出部
- 22 ドレイン側突出部
- 30 ホールパターン開口
- 31 フォトレジスト
- 33、40 突出部開口
- 35 素子分離溝
- P ピーク
- PR1、PR2 逆位相ピーク

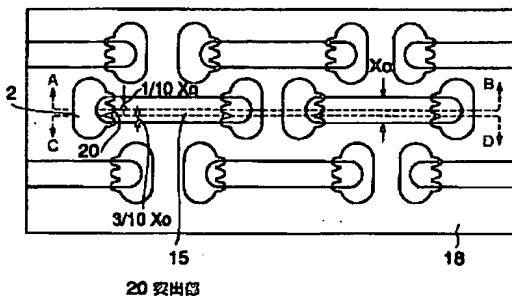
【図1】



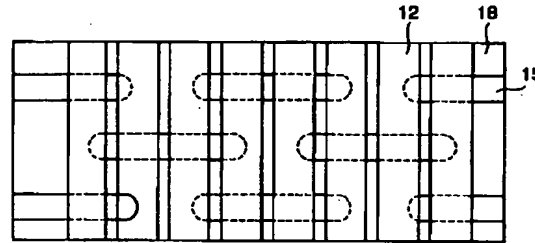
【図5】



【図2】

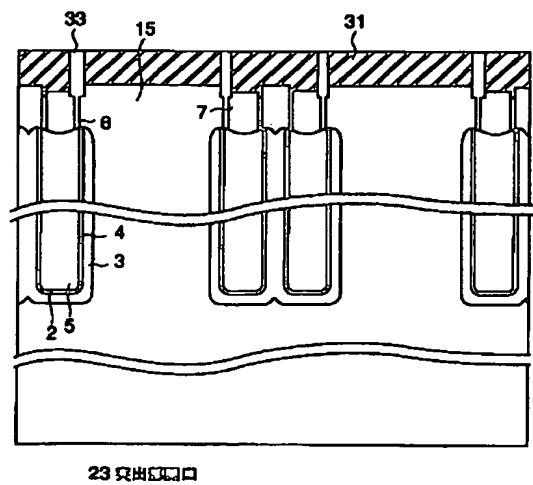
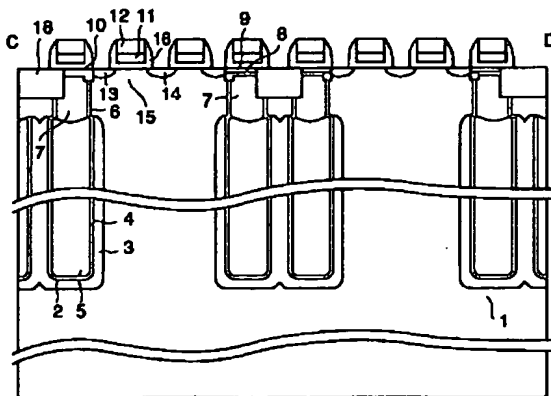


【図3】

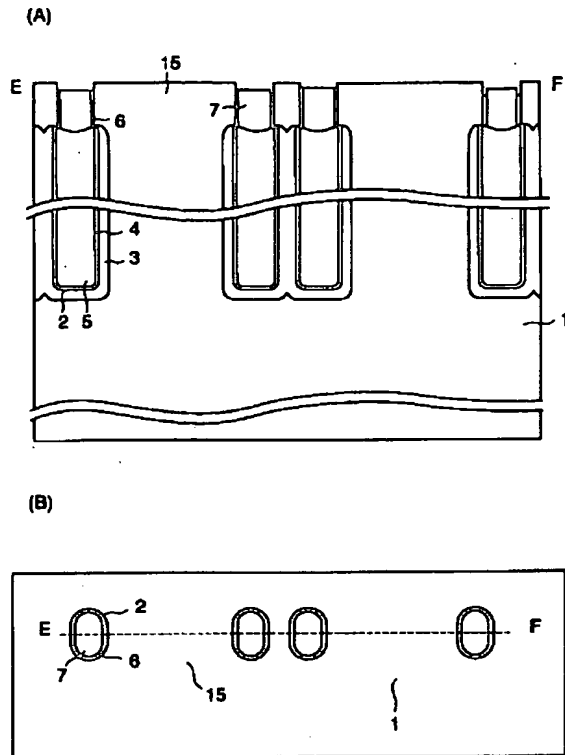


【図8】

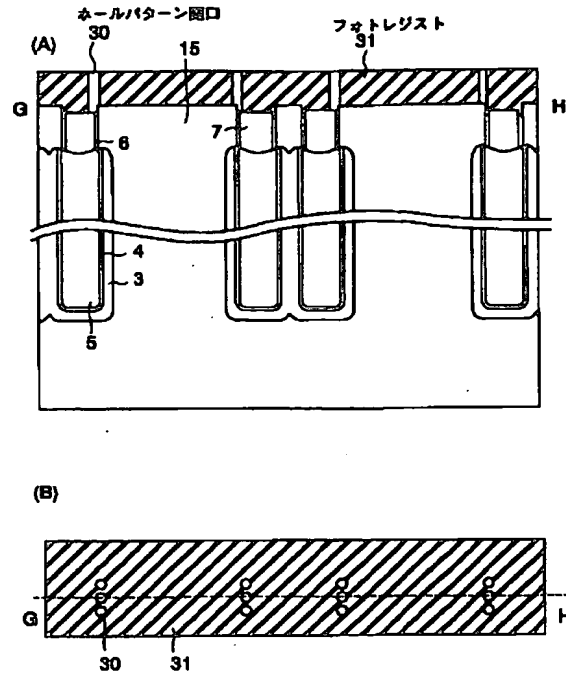
【図4】



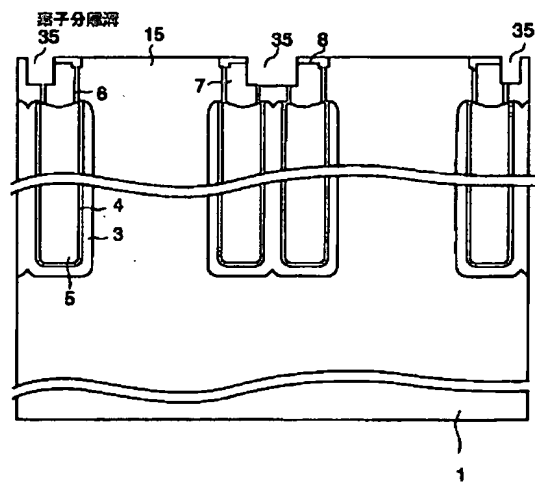
【図6】



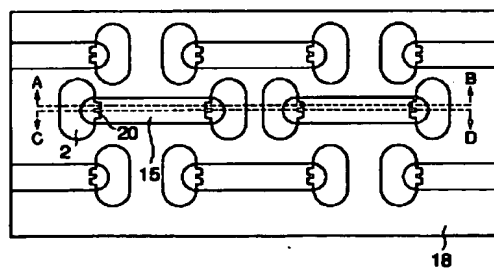
【図7】



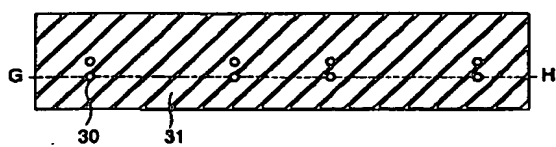
【図10】



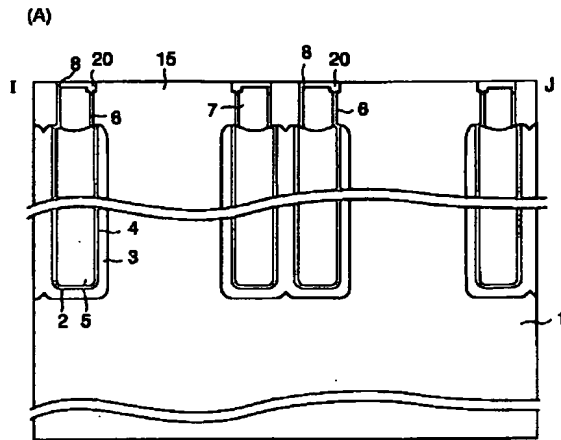
【図11】



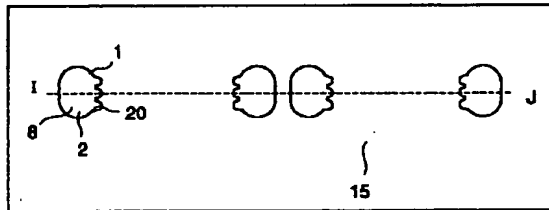
【図12】



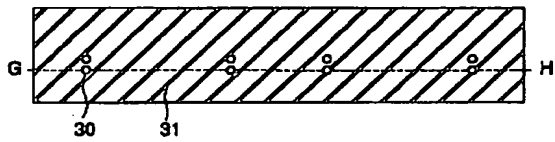
【図9】



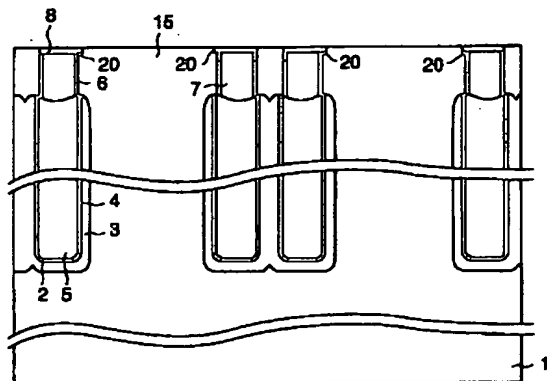
(B)



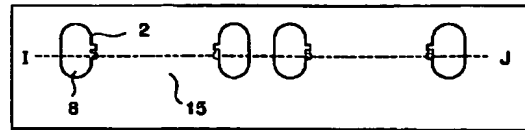
【図14】



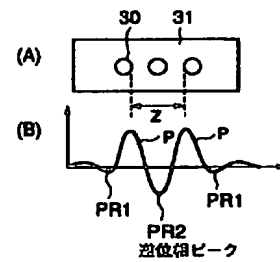
【図19】



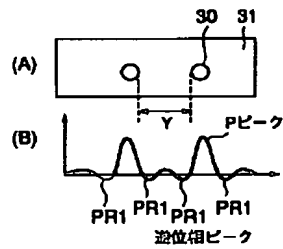
【図13】



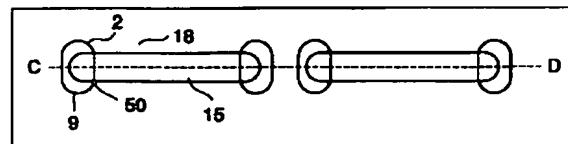
【図16】



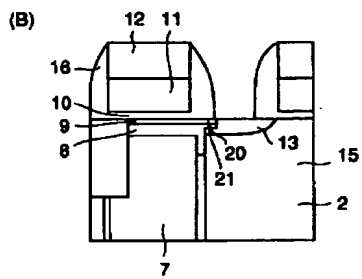
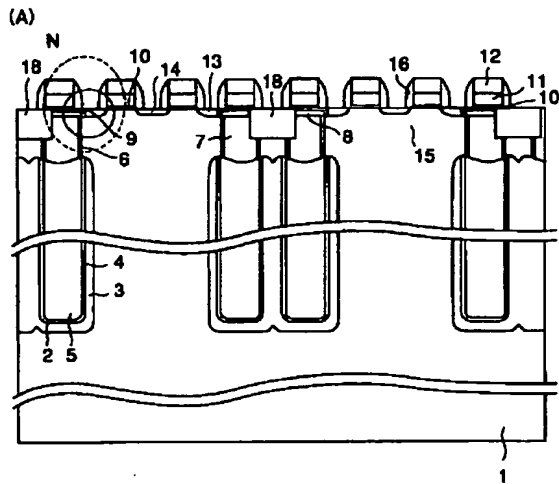
【図15】



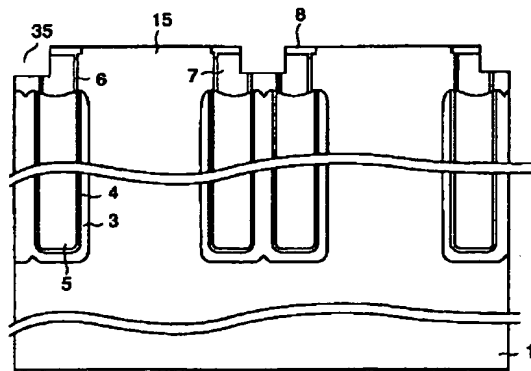
【図22】



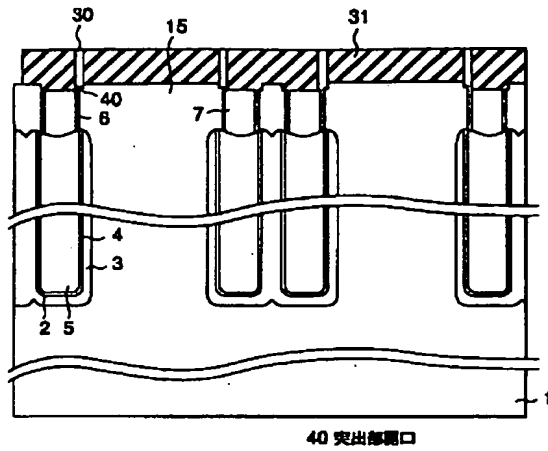
【図17】



【図20】

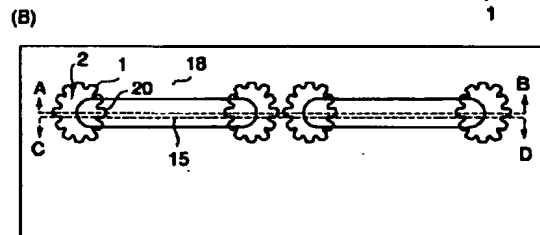
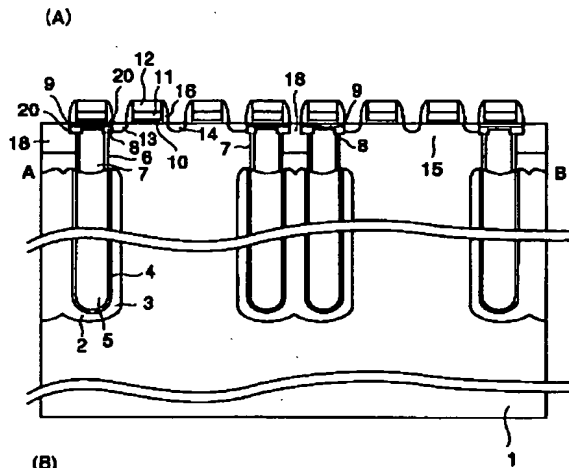


【図18】



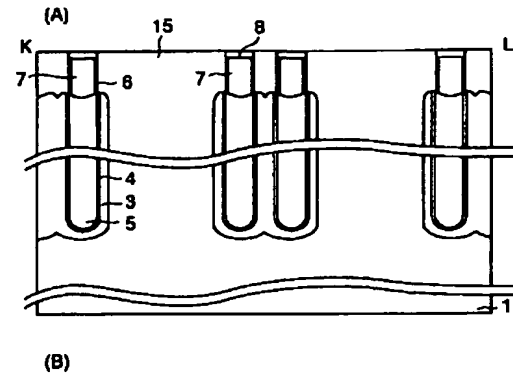
40 突出部開口

【図21】





【図23】



【図24】

